

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-101320

(43)Date of publication of application : 04.04.2003

(51)Int.Cl.

H01Q 1/38
H01L 21/822
H01L 27/04
H01Q 1/24
H01Q 9/30
H04B 1/38

(21)Application number : 2001-286473

(71)Applicant : TOSHIBA MICROELECTRONICS CORP
TOSHIBA CORP

(22)Date of filing : 20.09.2001

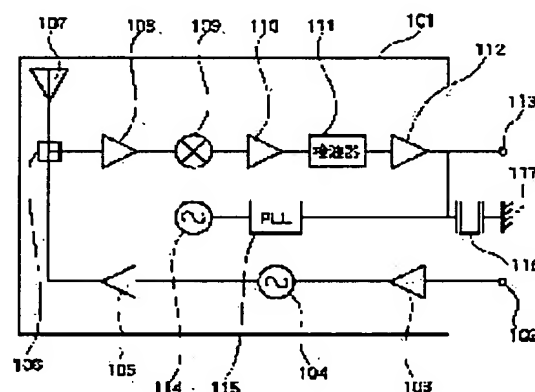
(72)Inventor : KIKUTA MAKOTO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To solve the problem that, since the antenna of a semiconductor integrated circuit used for the conventional transmitter, receiver, transmitter-receiver is not constituted in one chip, such an antenna that is mounted on an IC chip is not usable as the antenna due to its too short length when the antenna is used for the conventional relatively low frequency band and the antenna is difficult to be miniaturized and, in addition, since a lead wire, the wiring of a mounting substrate, etc., is used for connecting the IC chip to the antenna, the lead wire becomes an increasing inductance component as the frequency becomes higher and the sensitivity of the antenna drops.

SOLUTION: In a semiconductor integrated circuit, an antenna corresponding to a high frequency is constituted in one chip and a shield layer is provided between the antenna and a semiconductor element.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

・ [Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-101320

(P2003-101320A)

(43) 公開日 平成15年4月4日 (2003.4.4)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
H 0 1 Q 1/38		H 0 1 Q 1/38	5 F 0 3 8
H 0 1 L 21/822		1/24	Z 5 J 0 4 6
27/04		9/30	5 J 0 4 7
H 0 1 Q 1/24		H 0 4 B 1/38	5 K 0 1 1
9/30		H 0 1 L 27/04	L
審査請求 未請求 請求項の数 7 O L (全 7 頁) 最終頁に続く			

(21) 出願番号 特願2001-286473(P2001-286473)

(22) 出願日 平成13年9月20日 (2001.9.20)

(71) 出願人 000221199

東芝マイクロエレクトロニクス株式会社
神奈川県川崎市川崎区駅前本町25番地1

(71) 出願人 000003078

株式会社東芝
東京都港区芝浦一丁目1番1号

(72) 発明者 菊田 誠

神奈川県川崎市川崎区駅前本町25番地1
東芝マイクロエレクトロニクス株式会社内

(74) 代理人 100083161

弁理士 外川 英明

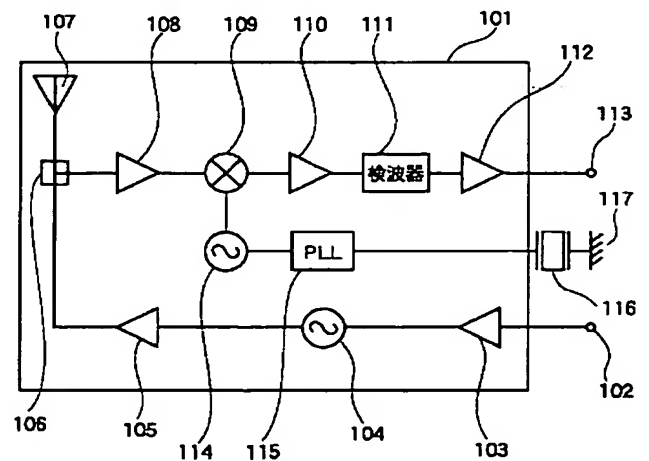
最終頁に続く

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】 従来の送信器、受信器、送受信器に用いられる半導体集積回路では、アンテナについては1チップ化されておらず、また従来の比較的低い周波数帯であれば、ICチップ上に搭載される程度のアンテナの長さでは短すぎて対応できなかった。このため小型化を進めることが困難であった。さらにICチップとアンテナとを接続させるために、リード線、実装基板の配線等を使用しているため、このリード線がインダクタンス成分となり、高周波になるほどインダクタンス成分が増えるため、感度が低下するということがあった。

【解決手段】 本発明では、高周波に応じたアンテナを1チップ化し、アンテナと半導体素子との間にシールド層を設ける。



(2)

1

【特許請求の範囲】

【請求項 1】 半導体基板と、前記半導体基板上に設けられる半導体素子と、前記半導体素子上に絶縁膜を介して設けられるシールド層と、前記シールド層上に絶縁膜を介して設けられるアンテナとを具備し、前記アンテナを 1 チップ化したことを特徴とする半導体集積回路。

【請求項 2】 前記半導体素子には少なくとも送信器が設けられることを特徴とする特許請求の範囲第 1 項記載の半導体集積回路。

【請求項 3】 前記半導体素子には少なくとも受信器が設けられることを特徴とする特許請求の範囲第 1 項記載の半導体集積回路。

【請求項 4】 前記シールド層は半導体基板上の全面に設けられることを特徴とする特許請求の範囲第 1 項記載の半導体集積回路。

【請求項 5】 前記シールド層の材質は Cu とすることを特徴とする特許請求の範囲第 1 項記載の半導体集積回路。

【請求項 6】 前記アンテナは前記半導体基板上に設けられる配線により前記半導体素子に接続されることを特徴とする特許請求の範囲第 1 項記載の半導体集積回路。

【請求項 7】 半導体基板と、前記半導体基板上に設けられる半導体素子と、前記半導体素子上に絶縁膜を介して設けられるアンテナとを具備し、前記アンテナを 1 チップ化したことを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、高周波を利用した小型軽量な送信器、受信器及び送受信器等に用いられるものであり、特にこれらの主要構成を 1 チップに搭載した半導体集積回路に関するものである。

【0002】

【従来の技術】 従来の送受信器に用いられる半導体集積回路の構成を示す回路ブロックを図 8 に示す。従来の送受信器に用いられる半導体集積回路の主要構成は例えばアンテナ共用器 (DUP) 6 及びアンテナ 7 を除いて 1 チップ化されている。まず送信側には、IC チップ 1 外部の入力信号端子 2 と IC チップ 1 上に設けられたバッファアンプ 3 が接続されている。バッファアンプ 3 には VCO 4 が接続されており、VCO 4 からはプリアンプ 5 が接続されている。プリアンプ 5 には IC チップ 1 外部においてアンテナ共用器 6 が接続されており、このアンテナ共用器 6 は同じく IC チップ 1 外部においてアンテナ 7 に接続されている。次に受信側には、IC チップ 1 外部のアンテナ共用器 6 と IC チップ 1 上に設けられた低雑音増幅器 (LNA) 8 が接続されている。低雑音増幅器 (LNA) 8 にはミキサ 9 が接続されており、ミキサ 9 からは VCO 14 と IF アンプ 10 がそれぞれ接続されている。IF アンプ 10 には検波器 11 が接続されており、検波器 11 からはバッファアンプ 12 が接

2

続されている。バッファアンプ 12 には IC チップ 1 外部において出力信号端子 13 が接続されている。VCO 4 と VCO 14 は PLL 15 を介して接続されている。PLL 15 には IC チップ 1 外部において発振器 16 が接続されており、発振器 16 は GND 17 に接続されている。

【0003】 尚、ここで従来の送信器、受信器では、送信器、受信器のみで構成されるものもあり、この場合にはそれぞれ送信側、受信側のみ構成されればよく、またアンテナ共用器が省略され、アンテナを除いて 1 チップ化された状態となる。

【0004】 従来の送受信器に用いられる半導体集積回路の主要構成は前述のようにアンテナ共用器 (DUP) 6 及びアンテナ 7 については 1 チップ化されていなかった。これは、要求される周波数帯によるものであり、従来の比較的低周波数帯であれば、IC チップ上に搭載される程度のアンテナの長さでは短すぎて対応できないという問題があった。このため小型化を進めることが困難であった。また、IC チップ内にアンテナを搭載しようとしても、送信出力がアンテナから IC チップ内の半導体集積回路に戻り、ノイズとして影響するという問題があったため、容易には IC チップ内にアンテナを組み込むことができなかった。また、さらに従来の半導体集積回路では IC チップとアンテナとを接続させるために通常、リード線、実装基板の配線等を使用して接続されているため、このリード線がインダクタンス成分となり、特に高周波になるほどインダクタンス成分が増えることとなり、感度が低下するといった問題があった。

【0005】 尚、シールド用電極層を用いて IC とアンテナ体との位置関係を最適化して IC の能動面から発生する高周波ノイズの影響がアンテナ体に及ぶことをより確実に防止し、感度を高めることができることは提案されている (特開平 10-163268 号)。このため、IC とアンテナ体の間で高周波ノイズが影響するという問題は対策できるかもしれないが、その他の点については解決されていなかった。

【0006】

【発明が解決しようとする課題】 従来の送信器、受信器、送受信器に用いられる半導体集積回路では、アンテナについては 1 チップ化されていなかった。これは、要求される周波数帯によるものであり、従来の比較的低周波数帯であれば、IC チップ上に搭載される程度のアンテナの長さでは短すぎて対応できないという問題があった。このため、小型化を進めることが困難であった。また、さらに従来の半導体集積回路では IC チップとアンテナとを接続させるために通常、リード線、実装基板の配線等を使用して接続されているため、このリード線がインダクタンス成分となり、特に高周波になるほどインダクタンス成分が増えることとなり、感度が低下するといった問題があった。

(3)

3

【0007】本発明は上記問題点に鑑みてなされたもので、送信器、受信器、送受信器において、高周波に対応させること、小型化させること、さらにインダクタンス成分を減少させることができる半導体集積回路を提供することを目的とする。

【0008】

【課題を解決するための手段】 上記目的を達成するために、本発明においては、半導体基板と、前記半導体基板上に設けられる半導体素子と、前記半導体素子上に絶縁膜を介して設けられるシールド層と、前記シールド層上に絶縁膜を介して設けられるアンテナとを具備し、前記アンテナを1チップ化したことを特徴とする。

【0009】また、本発明においては、前記半導体素子には少なくとも送信器が設けられることを特徴とする。

【0010】また、本発明においては、前記半導体素子には少なくとも受信器が設けられることを特徴とする。

【0011】また、本発明においては、前記シールド層は半導体基板上の全面に設けられることを特徴とする。

【0012】また、本発明においては、前記シールド層の材質はCuとすることを特徴とする。

【0013】また、本発明においては、前記アンテナは前記半導体基板上に設けられる配線により前記半導体素子に接続されることを特徴とする。

【0014】また、本発明においては、半導体基板と、前記半導体基板上に設けられる半導体素子と、前記半導体素子上に絶縁膜を介して設けられるアンテナとを具備し、前記アンテナを1チップ化したことを特徴とする。

【0015】

【発明の実施の形態】 以下、図面を参照し本発明の実施例について説明する。本発明の実施例に係る送受信器に用いられる半導体集積回路の主要構成を示す回路ブロックを図1に示す。尚、本発明の複数の実施例に係る半導体集積回路においては同一部分には同一符号を付けて説明することとし、異なる部分については別の符号を付けて、また別の図面を用いて説明することとする。

【0016】本発明の実施例に係る送受信器に用いられる半導体集積回路の主要構成は例えばアンテナ共用器

(DUP) 106及びアンテナ107をも含めて1チップ化されている。まず送信側には、ICチップ101外部の入力信号端子102とICチップ101上に設けられたバッファアンプ103が接続されている。バッファアンプ103にはVCO104が接続されており、VCO104からはプリアンプ105が接続されている。プリアンプ105にはICチップ101内部においてアンテナ共用器106が接続されており、このアンテナ共用器106は同じくICチップ101内部においてアンテナ107に接続されている。次に受信側には、ICチップ101内部のアンテナ共用器106と低雑音増幅器

(LNA) 108が接続されている。低雑音増幅器(LNA) 108にはミキサ109が接続されており、ミキ

4

サ109からはVCO114とIFアンプ110がそれぞれ接続されている。IFアンプ110には検波器111が接続されており、検波器111からはバッファアンプ112が接続されている。バッファアンプ112にはICチップ101外部において出力信号端子113が接続されている。VCO104とVCO114はPLL115を介して接続されている。PLL115にはICチップ101外部において発振器116が接続されており、発振器116はGND117に接続されている。

10 【0017】尚、ここで本発明の実施例では、送信器、受信器のみで構成されるものもあり、この場合にはそれぞれ送信側、受信側のみ構成されればよく、またアンテナ共用器が省略され、アンテナがICチップ内部に搭載され1チップ化された状態となる。

【0018】次に本発明の第1の実施例に係る半導体集積回路を示す平面図を図2に示し、図2のA-A'線で切断したときの断面図を図3に示す。まず、図2に示すようにICチップ101の表面には絶縁膜118が形成されている。絶縁膜118上のICチップ101の一边に沿って単一形のアンテナ123が形成されている。ここでは、アンテナ123は露出した状態としているが必要に応じてパッシベーション膜をアンテナ123上に覆ってもかまわない。次に図3に示すように、まず、ICチップ101のもととなる半導体基板119上に所定の方法で半導体素子120が形成されている。ここで半導体素子120はトランジスタなどから成り、例えば図1に示したような半導体集積回路の主要構成が形成されている。例えばその回路構造にはBiCMOS構造、CMOS構造などを用いてもよく、またその他であってもよい。また半導体素子120の詳細な回路構成については省略する。半導体素子120が形成された半導体基板119上には例えばSiO₂などの絶縁膜118が形成されている。絶縁膜118の表面上にはアンテナ123が形成されている。ここでアンテナ123は図1の回路ブロックに示したアンテナ107に相当する。アンテナ123はスルーホール122を通じて絶縁膜118中に形成されている配線121に接続されている。配線121は図示しないが半導体素子120などに接続されている。また、絶縁膜118中にはシールド層124が形成されており、シールド層124を間に介してアンテナ123と半導体素子120が配置されている。シールド層124はコンタクトホール125を通じて半導体基板119に接続されている。ここでシールド層124の材質としてはシールド効果の高いCu配線を用いているが、シールド効果に問題がなければAl配線を用いてもよい。また、半導体基板119は接地されている。

【0019】本発明の第1の実施例に係る半導体集積回路のシールド層を示す平面図を図4に示す。図4に示すようにシールド層124は例えばICチップ101平面の一面状に延在して形成されている。シールド層124

50

(4)

5

の下には、半導体素子120の設けられていない領域にコンタクトホール125が設けられている。コンタクトホール125は複数箇所設けることが望ましく、例えば千鳥格子状に設けられている。また、シールド層124には開口部126が設けられており、ここにはアンテナに電氣的に接続されるスルーホールが設けられている。尚、シールド効果を向上させるためには、シールド層124がICチップ101平面の一面状に形成されることが望ましいが、シールド効果に問題がなければ、ICチップ101平面の一部を覆う形状としてもよい。例えば、アンテナ下のみを覆うような形状としてもよい。

【0020】本発明の第1の実施例によれば、送信、受信に高周波帯が用いられることにより、アンテナ123を短く形成することができ、アンテナ123をICチップ101内部に設けることができるため、小型化を図ることができる。

【0021】また、シールド層124がアンテナ123と半導体素子120との間に配置されることにより、送信出力がアンテナ123から半導体素子120の機能回路に戻り、影響することを防ぐことができるため、ノイズの低減が可能となるとともに、容易にアンテナ123を1チップ化できる。

【0022】また、従来技術ではICチップとアンテナとを接続させるために通常、リード線、実装基板の配線等を使用して接続されているため、このリード線がインダクタンス成分となり、特に高周波になるほどインダクタンス成分が増えることとなり、感度が低下するといった問題があったが、本発明の第1の実施例によれば、アンテナを含めて1チップ化したため、リード線がなくなりインダクタンス成分を減少させることができ、感度の低下を防止することができる。

【0023】次に本発明の第2の実施例に係る半導体集積回路を示す平面図を図5に示す。第2の実施例では、半導体集積回路の主要構成を示す回路ブロックは図1と同じであるとし、説明を省略する。また第1の実施例に示した半導体集積回路とはアンテナ形状を除いて同じであるため、図5のB-B'線で切断したときの断面（図示せず）及びシールド層の平面（図示せず）についての説明を省略する。

【0024】まず、図5に示すようにICチップ101の表面には絶縁膜118が形成されている。絶縁膜118上のICチップ101の周囲に沿ってL字形のアンテナ127が形成されている。ここでは、アンテナ127は露出した状態としているが必要に応じてパッシベーション膜をアンテナ127上に覆ってもかまわない。

【0025】本発明の第2の実施例によれば、送信、受信に高周波帯が用いられることにより、アンテナ127を短く形成することができ、アンテナ127をICチップ101内部に設けることができるため、小型化を図ることができる。

6

【0026】また、シールド層124がアンテナ127と半導体素子120との間に配置されることにより、送信出力がアンテナ127から半導体素子120の機能回路に戻り、影響することを防ぐことができるため、ノイズの低減が可能となるとともに、容易にアンテナ127を1チップ化できる。

【0027】また、従来技術ではICチップとアンテナとを接続させるために通常、リード線、実装基板の配線等を使用して接続されているため、このリード線がインダクタンス成分となり、特に高周波になるほどインダクタンス成分が増えることとなり、感度が低下するといった問題があったが、本発明の第2の実施例によれば、アンテナを含めて1チップ化したため、リード線がなくなりインダクタンス成分を減少させることができ、感度の低下を防止することができる。

【0028】また、アンテナ127形状をL字型としたことにより、長さを確保することができICチップ形状をさらに小型化しても対応することができる。

【0029】次に本発明の第3の実施例に係る半導体集積回路を示す平面図を図6に示す。第3の実施例では、半導体集積回路の主要構成を示す回路ブロックは図1と同じであるとし、説明を省略する。また第1の実施例に示した半導体集積回路とはアンテナ形状を除いて同じであるため、図6のC-C'線で切断したときの断面（図示せず）及びシールド層の平面（図示せず）についての説明を省略する。

【0030】まず、図6に示すようにICチップ101の表面には絶縁膜118が形成されている。絶縁膜118上のICチップ101の周囲に沿ってループ形のアンテナ128が形成されている。ここでは、アンテナ128は露出した状態としているが必要に応じてパッシベーション膜をアンテナ128上に覆ってもかまわない。

【0031】本発明の第3の実施例によれば、送信、受信に高周波帯が用いられることにより、アンテナ128を短く形成することができ、アンテナ128をICチップ101内部に設けることができるため、小型化を図ることができる。

【0032】また、シールド層124がアンテナ128と半導体素子120との間に配置されることにより、送信出力がアンテナ128から半導体素子120の機能回路に戻り、影響することを防ぐことができるため、ノイズの低減が可能となるとともに、容易にアンテナ128を1チップ化できる。

【0033】また、従来技術ではICチップとアンテナとを接続させるために通常、リード線、実装基板の配線等を使用して接続されているため、このリード線がインダクタンス成分となり、特に高周波になるほどインダクタンス成分が増えることとなり、感度が低下するといった問題があったが、本発明の第3の実施例によれば、アンテナを含めて1チップ化したため、リード線がなくな

(5)

7

リインダクタンス成分を減少させることができ、感度の低下を防止することができる。

【0034】また、アンテナ128形状をループ型としたことにより、長さを確保することができICチップ形状をさらに小型化しても対応することができる。

【0035】次に本発明の第4の実施例に係る半導体集積回路を示す断面図を図7に示す。第4の実施例では、半導体集積回路の主要構成を示す回路ブロックは図1と同じであるとし、説明を省略する。また、半導体集積回路の平面については他の実施例と同様であるため省略する。図7に示すように、まず、ICチップ101のもととなる半導体基板119上に所定の方法で半導体素子120が形成されている。ここで半導体素子120はトランジスタなどから成り、例えば図1に示したような半導体集積回路の主要構成が形成されている。例えばその回路構造にはBiCMOS構造、CMOS構造などを用いてもよく、またその他であってもよい。また半導体素子120の詳細な回路構成については省略する。半導体素子120が形成された半導体基板119上には例えばSiO₂などの絶縁膜118が形成されている。絶縁膜118の表面上にはアンテナ129が形成されている。また、アンテナ129は露出した状態としているが必要に応じてパッシベーション膜をアンテナ129上に覆ってもかまわない。ここでは、アンテナ129は図1の回路ブロックに示したアンテナ107に相当する。アンテナ129はスルーホール122を通じて絶縁膜118中に形成されている配線121に接続されている。配線121は図示しないが半導体素子120などに接続されている。第4の実施例においては、絶縁膜118中にシールド層が形成されていない。第4の実施例では、アンテナの影響を受けにくい場合、例えば送受信を同時に行わない場合、また送信器のみ、受信器のみの場合に用いることができる。送信器のみ、受信器のみの場合にはそれぞれ送信側、受信側のみ構成されればよく、またアンテナ共用器が省略され、アンテナがICチップ内部に搭載され1チップ化された状態となる。第4の実施例においては、第1の実施例に示した単一形のアンテナ123、第2の実施例に示したL字型のアンテナ127、或いは第3の実施例に示したループ型のアンテナ128を用いることができる。

【0036】本発明の第4の実施例によれば、送信、受信に高周波帯が用いられることにより、アンテナ129を短く形成することができ、アンテナ129をICチップ101内部に設けることができるため、小型化を図ることができる。

【0037】また、従来技術ではICチップとアンテナとを接続させるために通常、リード線、実装基板の配線等を使用して接続されているため、このリード線がインダクタンス成分となり、特に高周波になるほどインダクタンス成分が増えることとなり、感度が低下するといっ

8

た問題があったが、本発明の第4の実施例によれば、アンテナを含めて1チップ化したため、リード線がなくなりインダクタンス成分を減少させることができ、感度の低下を防止することができる。

【0038】また、アンテナ129形状を、L字型、ループ型とした場合には、長さを確保することができICチップ形状をさらに小型化しても対応することができる。

【0039】尚、本発明の実施例においては、送信器、受信器、送受信器として説明したが、これらは携帯用情報機器端末などに用いられ、例えば携帯電話、PHS、無線LAN、スマートキー、イモビライザーなどに用いることができる。

【0040】また、ここで扱う無線信号はデジタル信号、アナログ信号のどちらでもかまわない。

【0041】

【発明の効果】 本発明においては、高周波に対応させることができ、しかも小型化させることができ、さらに高周波に対応して感度に影響を及ぼすインダクタンス成分を減少させることができる。

【図面の簡単な説明】

【図1】本発明の実施例に係る送受信器に用いられる半導体集積回路の構成を示す回路ブロック図である。

【図2】本発明の実施例に係る半導体集積回路を示す断面図である。

【図3】本発明の第1の実施例に係る半導体集積回路を示す平面図である。

【図4】本発明の実施例に係る半導体集積回路のシールド層を示す平面図である。

【図5】本発明の第2の実施例に係る半導体集積回路を示す平面図である。

【図6】本発明の第3の実施例に係る半導体集積回路を示す平面図である。

【図7】本発明の第4の実施例に係る半導体集積回路を示す断面図である。

【図8】従来技術に係る送受信器に用いられる半導体集積回路の構成を示す回路ブロック図である。

【符号の説明】

101 ICチップ

102 入力信号端子

103、112 バッファアンプ

104、114 VCO

105 プリアンプ

106 アンテナ共用器(DUP)

107、123、127、128、129 アンテナ

108 低雑音増幅器(LNA)

109 ミキサ

110 IFアンプ

111 検波器

113 出力信号端子

(6)

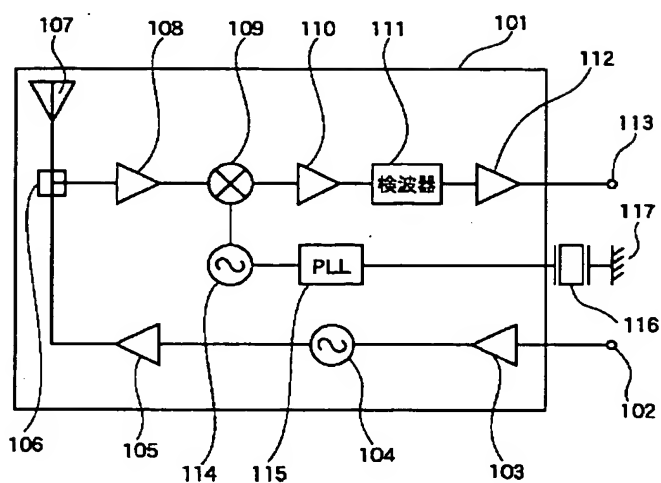
9

1 1 5	P L L
1 1 6	発振器
1 1 7	G N D
1 1 8	絶縁膜
1 1 9	半導体基板
1 2 0	半導体素子

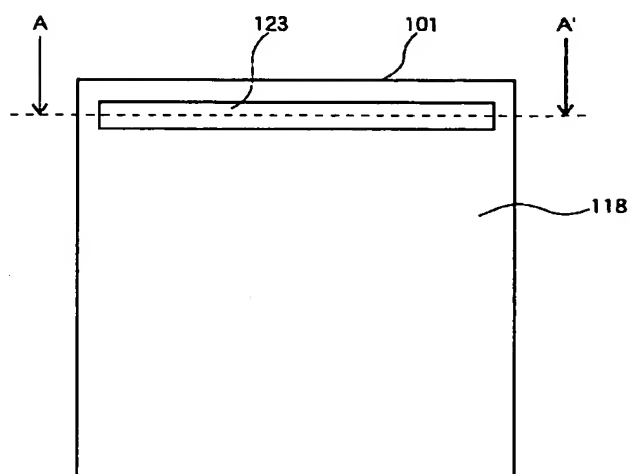
10

1 2 1	配線
1 2 2	スルーホール
1 2 4	シールド層
1 2 5	コンタクトホール
1 2 6	開口部

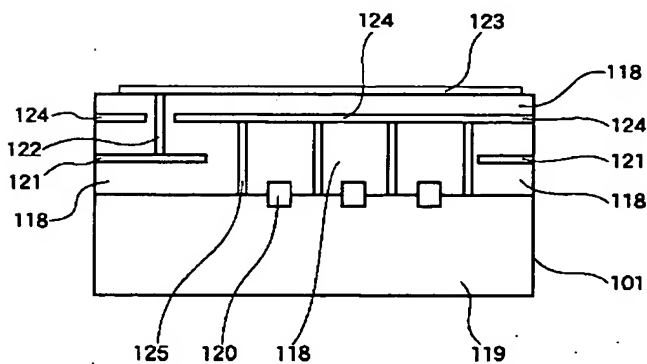
【図 1】



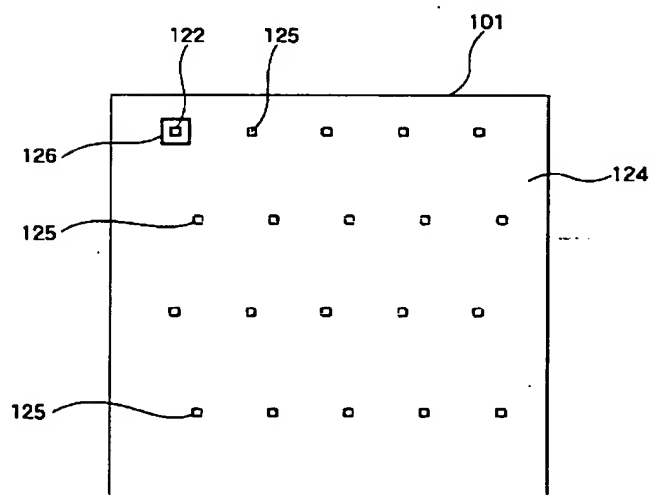
【图2】



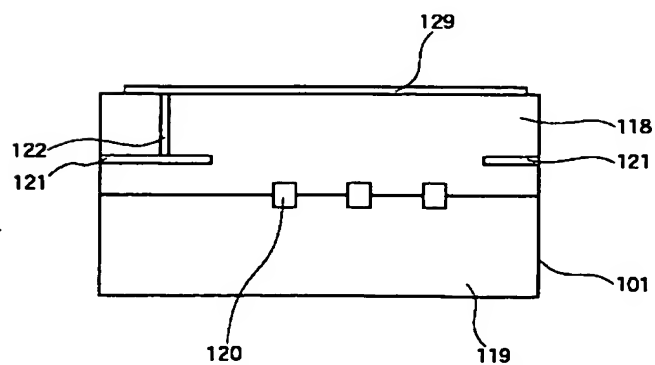
【図 3】



【図 4】

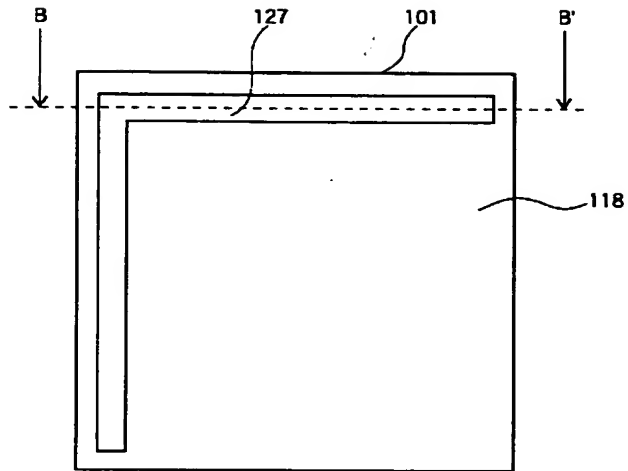


【図 7】

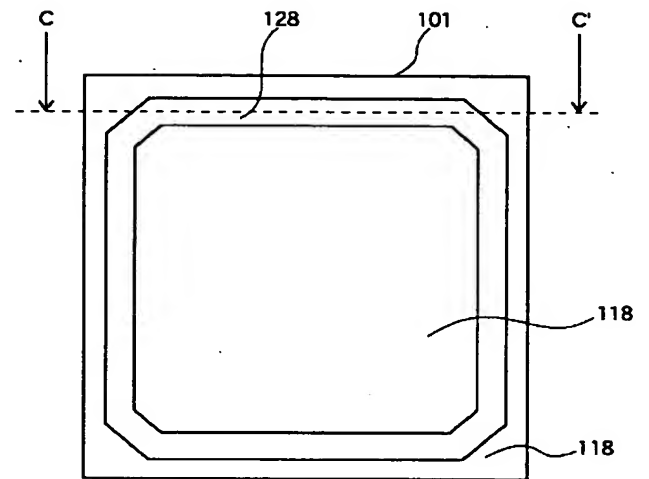


(7)

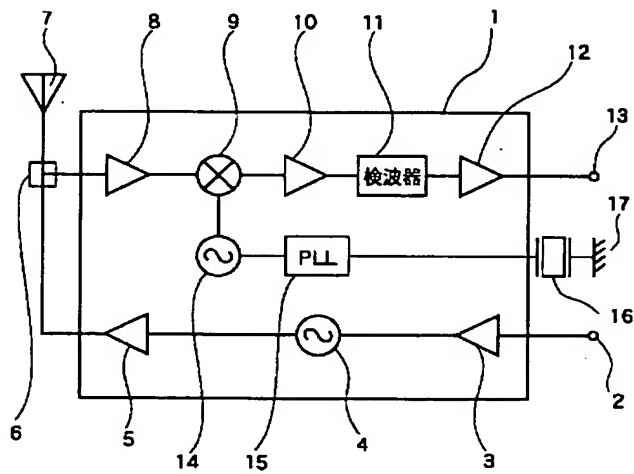
【図 5】



【図 6】



【図 8】



フロントページの続き

(51)Int. Cl. 7

H 0 4 B 1/38

識別記号

F I

テーマコード* (参考)

F ターム(参考) 5F038 DF12 DF14 EZ20

5J046 AA07 AB06 AB11 AB13 PA07

5J047 AA07 AB06 AB13 FD01 FD06

5K011 BA04 DA21 KA18